НИЖЕГОРОДСКИЙ ГОСУДАРСТВЕННЫЙ ТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ

Лабораторная работа №3.

**Реакции процессора на внешний сигнал запроса прерывания и сигнал готовности подсистем**

Выполнила: Алексеева Е.А. 19-В-2

Принял: Киселев Ю.Н.

Н.Новгород

2021 г.

**Цель работы**

Изучение реакции процессора на внешние сигналы прерывания INT и READY (готовность подсистем) путем получения и исследование временных диаграмм, которые формирует процессор КР580ВМ80А при выполнении перехода на программу прерывания, анализ данных на ШД и ША в циклах перехода; исследование реакции на сигнал готовности подсистем Ready.

**Задача**

Написать программу, которая позволит исследовать реакцию процессора на внешний сигнал прерывания; произвести наблюдение и фиксацию временных диаграмм сигналов управления, сигналов шин данных и адреса в процессорных циклах с помощью логических анализаторов; снятие битовой информации по осциллограммам; исследование временных диаграмм, которые процессор формирует при получении внешних сигналов прерывания и сигнала готовности подсистем.

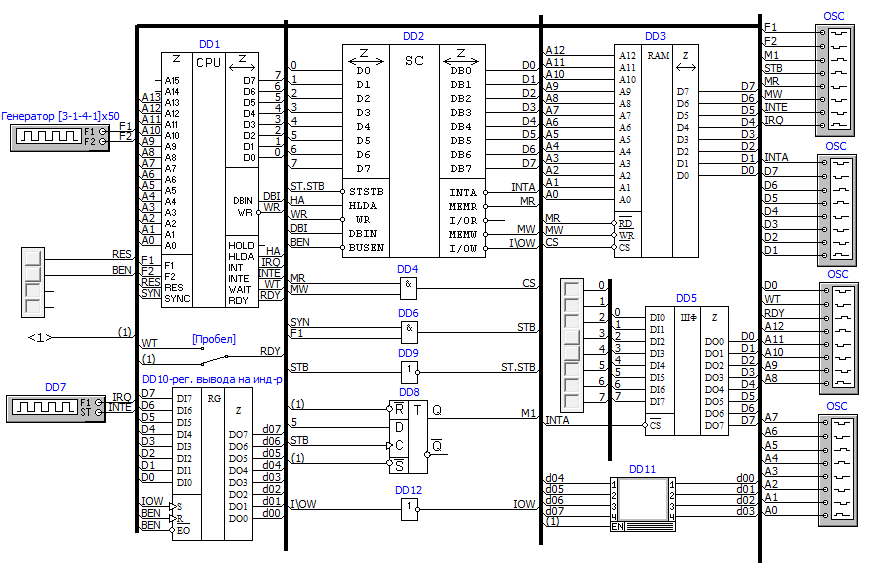


Схема Микро-ЭВМ

**Листинг**

*Текст программы:*

lxi sp,200h

jmp m1

skip 20h

jmp m2

:m1

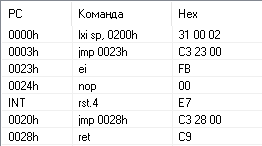
ei

nop

jmp m1

:m2

ret



**Реакция процессора на сигнал прерывания:**

**М1**

**М2**

**М3**

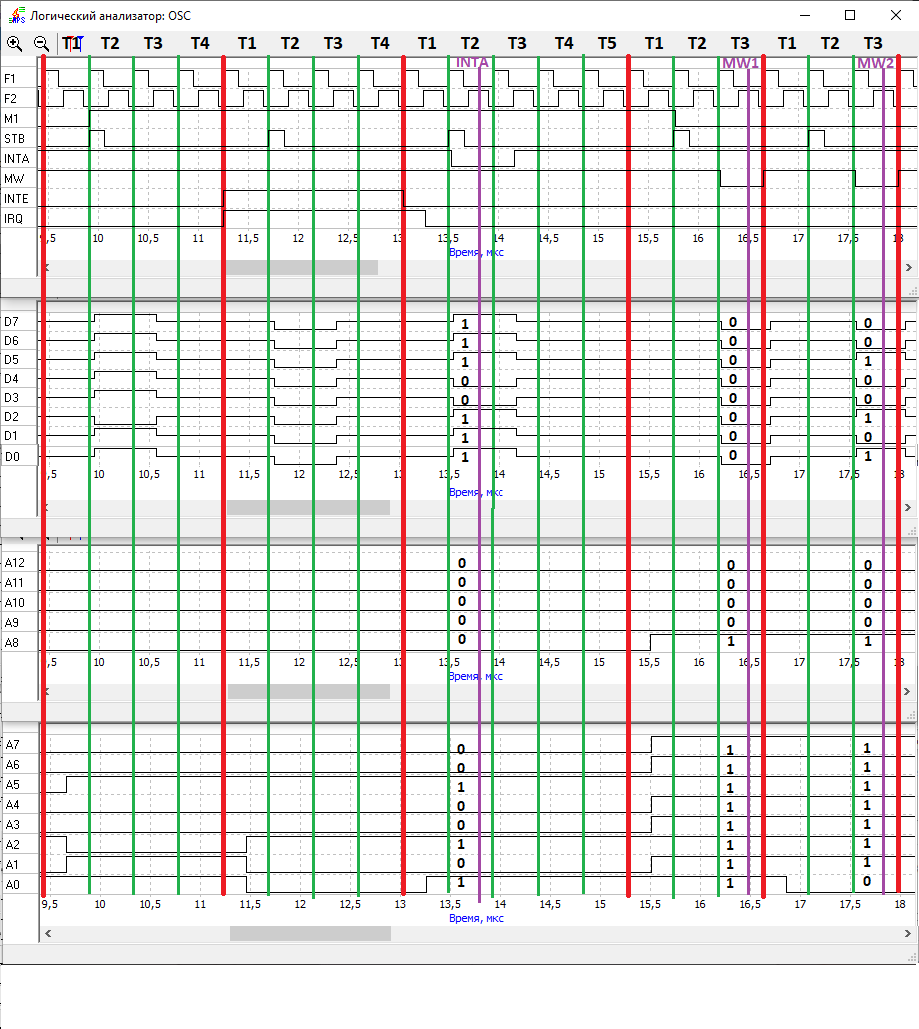
**М1**

**М1**

**EI**

**NOP**

**RST**



**1 цикл:**

1) Приём запроса прерывания

2) Сброс триггера INTE, выдача адреса следующей операции на ША

3) Формирование внешним устройством байта вектора

4) Процессор принимает байт вектора

5) Формирование адреса первой ячейки стека

**2 цикл:**

1) Выдача на ША адреса вершины стека

2) Формирование следующего адреса вершины стека (SP-1)

3) Занесение в стек старшего байта адреса возврата

**3 цикл:**

1) Выдача на ША адреса вершины стека

2) Формирование следующего адреса вершины стека (SP-1)

3) Занесение в стек младшего байта адреса возврата

**Результаты считывания данных с ШД**

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  | ST1 | INTA | ST2 | MW1 | ST3 | MW2 |
| D7 / MR | 1 | 1 | - | 0 | - | 0 |
| D6 / IN | 1 | 1 | - | 0 | - | 0 |
| D5 / M1 | 1 | 1 | - | 0 | - | 1 |
| D4 / OUT | 0 | 0 | - | 0 | - | 0 |
| D3 / HALT | 0 | 0 | - | 0 | - | 0 |
| D2 / STACK | 1 | 1 | - | 0 | - | 1 |
| D1 / WR | 1 | 1 | - | 0 | - | 0 |
| D0 / INTA | 1 | 1 | - | 0 | - | 1 |
| Код | E7h | E7h | - | 00h | - | 25h |

ST1 – код выборки первого байта команды

INTA – Значение вектора прерывания, сформированного внешним устройством (КОП RST.4).

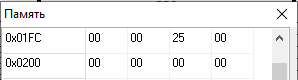
MW1 – Старший байт адреса возврата.

MW2 – Младший байт адреса возврата.

**Результаты считывания данных с ША**

|  |  |  |  |
| --- | --- | --- | --- |
|  | INTA | MW1 | MW2 |
| A12 | 0 | 0 | 0 |
| A11 | 0 | 0 | 0 |
| A10 | 0 | 0 | 0 |
| A9 | 0 | 0 | 0 |
| A8 | 0 | 1 | 1 |
| A7 | 0 | 1 | 1 |
| A6 | 0 | 1 | 1 |
| A5 | 1 | 1 | 1 |
| A4 | 0 | 1 | 1 |
| A3 | 0 | 1 | 1 |
| A2 | 1 | 1 | 1 |
| A1 | 0 | 1 | 1 |
| A0 | 1 | 1 | 0 |
| Код | 0025h | 01FFh | 01FEh |

**Стековая область памяти**

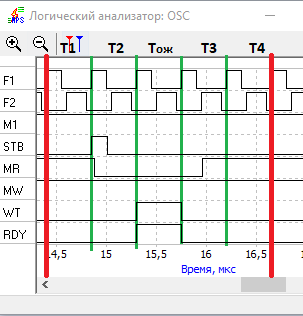


По адресу 0000000100101 (0025h) хранится КОП следующей выполняемой команды.

По адресу 0000111111111 (1FFh) хранится верхушка стека.

По адресу 0000111111110 (1FEh) хранится адрес возврата.

**Реакция процессора на сигнал READY на примере команды nop:**



Введение такта ожидания увеличивает длительность сигнала обращения к памяти (регистрам). Также увеличивается длительность состояний адреса и сигнала управления (MR, MW, IOR, IOW). Это дает более благоприятные условия для чтения/записи содержимого ячейки памяти (регистра). Тем самым мы удовлетворяем требованиям более медленных устройств и учитываем задержку распространения сигналов от блока ЦП к конкретному узлу.

В такте Т2 процессор проверяет значение сигналов на входах READY и HOLD. Если память или регистр ВУ не готовы к обмену данными с процессором, эти подсистемы должны сформировать сигнал READY=0 немного ранее момента его анализа процессором. Процессор при этом вместо такта Т3 будет выполнять такты Т-ожидания готовности, проверяя в каждом такте состояние входа READY, а также выдает сигнал высокого уровня на линию WAIT, подтверждающий режим ожидания (переключение сигнала на линии WAIT осуществляется фронтом импульса F1).

Процессор остается в состоянии ОЖИДАНИЕ до тех пор, пока сигнал на линии READY не переходит в состояние высокого уровня. Если информация о готовности предшествует спаду импульса F2, то следующий импульс F1 переводит линию WAIT в состояние низкого потенциала, и процессор переходит в состояние Т3.

**Вывод**

В результате выполнения лабораторной работы были изучены реакции процессора на внешние сигналы прерывания INT и READY (готовность подсистем) путем получения и исследование временных диаграмм; проанализированы данные на ШД и ША в циклах перехода; исследованы реакции на сигнал готовности подсистем Ready.